

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3185698号
(P3185698)

(45) 発行日 平成13年7月11日(2001.7.11)

(24) 登録日 平成13年5月11日(2001.5.11)

(51) Int.Cl.⁷

G 0 5 F 3/30

識別記号

F I

G 0 5 F 3/30

請求項の数7(全12頁)

(21) 出願番号 特願平9-36204

(22) 出願日 平成9年2月20日(1997.2.20)

(65) 公開番号 特開平10-232724

(43) 公開日 平成10年9月2日(1998.9.2)

審査請求日 平成9年2月20日(1997.2.20)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 三國 武

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

審査官 山下 喜代治

(56) 参考文献 特開 平3-242715 (J P, A)

特開 平3-42709 (J P, A)

特開 平4-158418 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B名)

G06F 3/30

(54) 【発明の名称】 基準電圧発生回路

1

(57) 【特許請求の範囲】

【請求項1】 順方向にバイアスされたダイオード接合の順方向電圧を利用してバンドギャップ電圧の整数倍の基準出力電圧を発生する基準電圧発生回路において、基準出力電圧と接地電位との間に設けられ、順方向バイアスにて直列接続されたn個(nは2以上の整数)のダイオード接合を有し所定の正相入力電圧を出力する正相入力電圧発生部と、基準出力電圧と接地電位との間に設けられ、順方向バイアスにて直列接続されたn個のダイオード接合を有し所定の逆相入力電圧を出力する逆相入力電圧発生部と、電源電圧と接地電位との間に設けられ、正相入力端子および逆相入力端子にそれぞれ正相入力電圧および逆相入力電圧が入力される演算増幅器を有し、この出力に基づいて所望の基準出力電圧を出力する電圧出力部と、

2

基準出力電圧が所定値を下回る場合には、基準出力電圧を電源電圧にプルアップするとともに、逆相入力電圧を正相入力電圧より高い電位に制御する低電圧制御部とを備えることを特徴とする基準電圧発生回路。

【請求項2】 請求項1記載の基準電圧発生回路において、

電圧出力部は、

電源電圧と基準出力電圧との間に設けられ、前記演算増幅器の出力に応じて動作する第1のMOSトランジスタを有することを特徴とする基準電圧発生回路。

【請求項3】 請求項1記載の基準電圧発生回路において、

電圧出力部は、

前記演算増幅器の出力を所望の基準出力電圧として直接出力することを特徴とする基準電圧発生回路。

【請求項 4】 請求項 1 記載の基準電圧発生回路において、

低電圧制御部は、

電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第 2 の MOS トランジスタと、基準出力電圧と逆相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して逆相入力電圧を正相入力電圧より高い電位に保持する第 3 の MOS トランジスタとを有することを特徴とする基準電圧発生回路。

【請求項 5】 請求項 1 記載の基準電圧発生回路において、

低電圧制御部は、

電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第 2 の MOS トランジスタと、電源電圧と逆相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して逆相入力電圧を正相入力電圧より高い電位に保持する第 3 の MOS トランジスタとを有することを特徴とする基準電圧発生回路。

【請求項 6】 請求項 1 記載の基準電圧発生回路において、

低電圧制御部は、

電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第 2 の MOS トランジスタと、接地電位と正相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して正相入力電圧を逆相入力電圧より低い電位に保持する第 4 の MOS トランジスタとを有することを特徴とする基準電圧発生回路。

【請求項 7】 請求項 1～6 記載の基準電圧発生回路を、接地電圧に対して正負反転させ基準電圧を発生させることを特徴とする基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準電圧発生回路に関し、特に順方向にバイアスされたダイオード接合の順方向電圧を利用してバンドギャップ電圧の整数倍の電圧を出力する基準電圧発生回路に関するものである。

【0002】

【従来の技術】通常、3 端子レギュレータなどの電源回路素子では、厳格な温度補償特性を満たすため、順方向にバイアスされたダイオード接合の順方向電圧を利用してバンドギャップ電圧の整数倍の電圧を出力する基準電圧発生回路、いわゆるバンドギャップ基準電圧発生回路が用いられる。図 8 は一般的なバンドギャップ基準電圧発生回路を示す回路図であり、同図において、1 は所定

の正相入力電圧 (V_{IN+}) を出力する正相入力電圧発生部、2 は所定の逆相入力電圧 (V_{IN-}) を出力する逆相入力電圧発生部である。

【0003】また、3 は正相入力端子および逆相入力端子にそれぞれ入力された正相入力電圧および逆相入力電圧に基づいて所定の基準出力電圧 V_{OUT} を出力するオペアンプ (演算増幅器) OP1 からなる電圧出力部である。R0 は正相入力電圧発生部 1 および逆相入力電圧発生部 2 に対して、常時、電源電圧 V_{DD} を供給する抵抗である。

【0004】正相入力電圧発生部 1 は、基準出力電圧 V_{OUT} と接地電位 GND との間に接続されており、基準出力電圧 V_{OUT} 側から順に、抵抗 $R1$ 、順方向のダイオード $D1$ 、 $D2$ が直列接続され、抵抗 $R1$ とダイオード $D1$ のアノードとの接続点から正相入力電圧が出力される。また逆相入力電圧発生部 2 は、正相入力電圧発生部 1 と並列して、基準出力電圧 V_{OUT} と接地電位 GND との間に接続されており、基準出力電圧 V_{OUT} 側から順に、抵抗 $R2$ 、 $R3$ 、順方向のダイオード $D3$ 、 $D4$ が直列接続され、抵抗 $R2$ 、 $R3$ の接続点から逆相入力電圧が出力される。

【0005】これら正相入力電圧 V_{IN+} および逆相入力電圧 V_{IN-} はオペアンプ OP1 の正相入力端子および逆相入力端子にそれぞれ入力され、ダイオードの順方向電圧 V_F が有する温度係数 ($-2\text{ mV}/^\circ\text{C}$) と、電圧 $V_T = kT/q$ (k : ボルツマン定数、 T : 絶対温度、 q : 電気素量) が有する温度係数 ($+0.085\text{ mV}/^\circ\text{C}$) とが互いに打ち消され、温度係数がほぼゼロのバンドギャップ電圧の整数倍 (この場合はダイオード 2 個なので 2 倍分) の基準出力電圧 V_{OUT} がオペアンプ OP1 から出力されるものとなっていた。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来の基準電圧発生回路では、電源電圧 V_{DD} の立ち上げ時、単に抵抗 $R0$ から正相入力電圧発生部 1 および逆相入力電圧発生部 2 に対して電源電圧 V_{DD} を供給するものとなっているため、電源電圧 V_{DD} の立ち上げが緩やかな場合には、電源電圧 V_{DD} が所定値に達するまでの期間において、基準出力電圧 V_{OUT} が不安定となるという問題点があった。図 9 は従来の基準電圧発生回路の動作を示す波形図であり、実線は所望の基準出力電圧、破線は従来の基準出力電圧を示している。

【0007】一般に、オペアンプや抵抗などは、その電気的特性に製造ばらつきを有している。特に、従来の基準電圧発生回路 (図 8 参照) において、オペアンプ OP1 の入力オフセット電圧のばらつき、あるいは正相入力電圧発生部 1 および逆相入力電圧発生部 2 で用いられる抵抗 $R1 \sim R3$ の抵抗値のばらつきが所定方向に偏っている場合には、電源電圧 V_{DD} の立ち上げが緩やかなとき、電源電圧 V_{DD} が所定値に達するまでの期間におい

て、基準出力電圧 V_{OUT} が電源電圧 V_{DD} に沿って上昇するという安定した所望の特性（実線）が得られず、破線に示すように基準出力電圧の発生が電源電圧より遅れ、不安定となるという問題点があった。本発明はこのような課題を解決するためのものであり、電源電圧 V_{DD} の立ち上げが緩やかな場合でも、安定した基準出力電圧が得られる基準電圧発生回路を提供することを目的としている。

【0008】

【課題を解決するための手段】このような目的を達成するために、本発明による基準電圧発生回路は、基準出力電圧と接地電位の間に設けられ、順方向バイアスにて直列接続された n 個（ n は2以上の整数）ダイオード接合を有し所定の正相入力電圧を出力する正相入力電圧発生部と、基準出力電圧と接地電位の間に設けられ、順方向バイアスにて直列接続された n 個のダイオード接合を有し所定の逆相入力電圧を出力する逆相入力電圧発生部と、電源電圧と接地電位との間に設けられ、正相入力端子および逆相入力端子にそれぞれ正相入力電圧および逆相入力電圧が入力される演算増幅器を有し、この出力に基づいて所望の基準出力電圧を出力する電圧出力部と、基準出力電圧が所定値を下回る場合には、基準出力電圧を電源電圧にプルアップするとともに、逆相入力電圧を正相入力電圧より高い電位に制御する低電圧制御部とを備えるものである。したがって、電源電圧立ち上がり時において基準出力電圧が所定値を下回る場合には、低電圧制御部にて、基準出力電圧が電源電圧にプルアップされるとともに、逆相入力電圧が正相入力電圧より高い電位に保持され、電源電圧とほぼ等しい電位の基準出力電圧が出力される。

【0009】また、電圧出力部は、電源電圧と基準出力電圧との間に設けられ、演算増幅器の出力に応じて動作する第1のMOSトランジスタを有するものである。したがって、演算増幅器の出力に応じて第1のMOSトランジスタが動作し、電源電圧から第1のMOSトランジスタを介して所望の基準出力電圧が出力される。また、電圧出力部は、演算増幅器の出力を所望の基準出力電圧として直接出力するものである。したがって、演算増幅器から所望の基準出力電圧が直接出力される。

【0010】また、低電圧制御部は、電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第2のMOSトランジスタと、基準出力電圧と逆相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して逆相入力電圧を正相入力電圧より高い電位に保持する第3のMOSトランジスタとを有するものである。したがって、基準出力電圧が所定値を下回る場合には、第2のMOSトランジスタにより基準出力電圧が電源電圧にプルアップされるとともに、第3のMOSトランジスタにより逆相入力電圧が正相入力

電圧より高い電位に保持される。

【0011】また、低電圧制御部は、電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第2のMOSトランジスタと、電源電圧と逆相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して逆相入力電圧を正相入力電圧より高い電位に保持する第3のMOSトランジスタとを有するものである。したがって、基準出力電圧が所定値を下回る場合には、第2のMOSトランジスタにより基準出力電圧が電源電圧にプルアップされるとともに、第3のMOSトランジスタにより逆相入力電圧が正相入力電圧より高い電位に保持される。

【0012】また、低電圧制御部は、電源電圧と基準出力電圧との間に設けられ、基準出力電圧が所定値を下回る場合に動作して基準出力電圧を電源電圧にプルアップする第2のMOSトランジスタと、接地電位と正相入力電圧発生部との間に設けられ、基準出力電圧が所定値を下回る場合に動作して正相入力電圧を逆相入力電圧より低い電位に保持する第4のMOSトランジスタとを有するものである。したがって、基準出力電圧が所定値を下回る場合には、第2のMOSトランジスタにより基準出力電圧が電源電圧にプルアップされるとともに、第4のMOSトランジスタにより正相入力電圧が逆相入力電圧より低い電位に保持される。

【0013】また、以上の基準電圧発生回路を、接地電圧に対して正負反転させ基準電圧を発生させるようにしたものである。

【0014】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は本発明の第1の実施の形態である基準電圧発生回路を示す回路図であり、同図において、前述の説明（図8参照）と同じまたは同等部分には同一符号を付してある。図1において、（a）は基準電圧発生回路の全体、（b）は電圧監視回路を示しており、1は所定の正相入力電圧 V_{IN+} を出力する正相入力電圧発生部、2は所定の逆相入力電圧 V_{IN-} を出力する逆相入力電圧発生部、3は正相入力端子および逆相入力端子にそれぞれ入力された正相入力電圧および逆相入力電圧に基づいて所定の基準出力電圧 V_{OUT} を出力するオペアンプ（演算増幅器）OP1を有する電圧出力部である。

【0015】正相入力電圧発生部1は、基準出力電圧 V_{OUT} と接地電位 GND との間に接続されており、基準出力電圧 V_{OUT} 側から順に、抵抗 $R2$ 、 $R3$ 、順方向のダイオード $D3$ 、 $D4$ が直列接続され、抵抗 $R2$ 、 $R3$ の接続点から正相入力電圧が出力される。また逆相入力電圧発生部2は、正相入力電圧発生部1と並列して、基準出力電圧 V_{OUT} と接地電位 GND との間に接続されており、基準出力電圧 V_{OUT} 側から順に、抵抗 R

1、順方向のダイオードD1、D2が直列接続され、抵抗R1とダイオードD1のアノードとの接続点から逆相入力電圧が出力される。

【0016】この場合、電圧出力部3には、電源電圧VDDと基準出力電圧VOU Tとの間に、オペアンプOP1の出力に応じて動作するPチャンネルMOSトランジスタTr1（第1のMOSトランジスタ）が設けられている。4は基準出力電圧VOU Tを常時監視し、基準出力電圧VOU Tが所定値を下回る場合には、正相入力電圧発生部1および逆相入力電圧発生部2に対して電源電圧VDDを供給するとともに、逆相入力電圧VIN-が正相入力電圧VIN+を上回るように制御する低電圧制御部である。

【0017】この場合、低電圧制御部4は、基準出力電圧VOU Tの電圧を常時監視し、所定値を下回る場合には検出力DET0を出力する電圧監視回路と、電源電圧VDDと基準出力電圧VOU Tとの間に接続され、検出力DET0に応じてオンするPチャンネルMOSトランジスタTr2（第2のMOSトランジスタ）と、基準出力電圧VOU Tと逆相入力電圧発生部2の出力端すなわちオペアンプOP1の逆相入力端子との間に接続され、検出力DET0に応じてオンするPチャンネルMOSトランジスタTr3（第3のMOSトランジスタ）と電流制限用の抵抗R5との直列接続から構成されている。

【0018】図1（b）に示す電圧監視回路5において、R51、52は監視する基準出力電圧VOU Tを分圧する抵抗、Tr51は抵抗R51、52の分圧出力に基づいて動作するNチャンネルMOSトランジスタ、R53はトランジスタTr51の出力DET1を電源電圧VDDにプルアップする抵抗、Tr52はトランジスタTr51の出力DET1に基づいて動作するPチャンネルMOSトランジスタ、R54はトランジスタTr52の出力を接地電位にプルダウンする抵抗である。

【0019】したがって、電圧監視回路5で監視する基準出力電圧の所定値は、抵抗R51、52とトランジスタTr51の動作ゲート電圧により決定される。またこの所定値として、通常動作時に出力される所望の基準出力電圧値以下であって、正相入力電圧発生部1、逆相入力電圧発生部2および電圧出力部3が正常動作可能となる電圧が設定される。

【0020】次に、図2を参照して、本発明の第1の実施の形態の動作を説明する。図2は本発明の第1の実施の形態による基準出力電圧回路の動作を示す波形図であり、（a）は正相入力電圧VIN+、逆相入力電圧VIN-および基準出力電圧VOU Tを示し、（b）は電圧監視回路5の検出力DET0、DET1を示している。この場合、いずれも2.4Vを基準出力電圧VOU Tの正常値とし、電源電圧VDDが1ms当たり1Vで上昇する場合を例に説明する。

【0021】時刻T0から電源電圧VDDの供給が開始された直後では、電源電圧VDDが十分上昇しておらず、ダイオードD1、D2およびD3、D4の順方向電圧以下では、正相入力電圧発生部1および逆相入力電圧発生部2が動作しない。また、電圧監視回路5のトランジスタTr51のゲートには、トランジスタTr51がオンするのに十分な電圧が供給されず、トランジスタTr51はオフのままとなる。

【0022】これにより、検出力DET1は抵抗R53により電源電圧VDDとほぼ同じ電位となり、トランジスタTr52もオフのままとなることから、検出力DET0は抵抗R54により接地電位GNDと同じ電位となる。一方、トランジスタTr2は、この接地電位GNDと同じ電位の検出力DET0に応じてオンし、基準出力電圧VOU Tを電源電圧VDDにプルアップするが、トランジスタTr2のゲートソース間電圧が十分に印可されていないために、完全にオンすることができない。したがって、基準出力電圧VOU Tとして、電源電圧VDDと接地電位GNDとのほぼ中間電位が出力される。

【0023】その後、時刻T1において、電源電圧VDDがダイオードD1、D2およびD3、D4の順方向電圧以上に上昇して、ダイオードD1～D4が徐々にオンし、正相入力電圧発生部1および逆相入力電圧発生部2が動作可能となる。ここで、基準出力電圧VOU Tが十分上昇しておらず、電圧監視回路5のトランジスタTr51、Tr52がオフのままであることから、検出力DET0が接地電位GNDと同じ電位のままとなり、トランジスタTr2、Tr3がオン状態に維持される。

【0024】これにより、逆相入力電圧発生部2からの逆相入力電圧VIN-が、トランジスタTr3および抵抗R5を介して基準出力電圧VOU Tにプルアップされ、オペアンプOP1に入力される逆相入力電圧VIN-が、正相入力電圧VIN+より高い電位に保持される。したがって、オペアンプOP1からの出力が接地電位GNDとなり、トランジスタTr1がオンし、基準出力電圧VOU Tは電源電圧VDDとほぼ等しい値で上昇する。

【0025】その後、時刻T2において、基準出力電圧VOU Tが十分上昇して、電圧監視回路5のトランジスタTr51、Tr52がオンして、検出力DET0が電源電圧VDDと同じ電位となり、トランジスタTr2、Tr3がオフとなる。これに応じて、トランジスタTr2による基準出力電圧VOU Tのプルアップ、およびトランジスタTr3による逆相入力電圧VIN-のプルアップが停止されるが、基準出力電圧VOU Tが所望値に達していないことから、正相入力電圧発生部1および逆相入力電圧発生部2の動作により、逆相入力電圧VIN-が、正相入力電圧VIN+より高い電位に保持される。

【0026】したがって、オペアンプOP1からの出力が接地電位GNDとなり、トランジスタTr1のオン状態が維持され、基準出力電圧VOU Tは電源電圧VDDとほぼ等しい値で上昇する。その後、時刻T3において、基準出力電圧VOU Tが所望値（ここでは2.4V）まで上昇して、正相入力電圧発生部1および逆相入力電圧発生部2から出力される正相入力電圧VIN+および逆相入力電圧VIN-が等しくなり、オペアンプOP1の出力が所定電圧値に保持され、基準出力電圧VOU Tが所望値に維持されるものとなる。

【0027】このように、低電圧制御部4を設けて、基準出力電圧VOU Tを常時監視し、基準出力電圧VOU Tが所定値を下回る場合には、正相入力電圧発生部1および逆相入力電圧発生部2に対して電源電圧VDDを供給するとともに、逆相入力電圧VIN-が正相入力電圧VIN+を上回るようにしたので、従来（図8参照）のように、電源電圧VDDの立ち上げ時、単に抵抗R0から正相入力電圧発生部1および逆相入力電圧発生部2に対して電源電圧VDDを供給するものと比較して、電源電圧VDDの立ち上げが緩やかな場合でも、基準出力電圧VOU Tが所望値に達するまで、電源電圧VDDとほぼ同じ電位で上昇する安定した出力が得られる。

【0028】また、電圧出力部3において、電源電圧VDDと基準出力電圧VOU Tとの間にトランジスタTr1を設けて、オペアンプOP1からの僅かな電流でトランジスタTr1を駆動して基準出力電圧VOU Tを出力するようにしたので、オペアンプOP1の出力段にて消費される電流を節約することができる。なお、この電圧出力部の構成は、図3に示すように、オペアンプOP1の出力をそのまま基準出力電圧VOU Tとして用いても

良く、少ない回路構成部品で実現することができる。この場合、トランジスタTr1がないことからオペアンプOP1の出力を反転させる必要があり、正相入力電圧発生部1および逆相入力電圧発生部2の回路構成が、前述（図1参照）と比べて相互に入れ替わっている。

【0029】また、低電圧制御部4において、基準出力電圧VOU Tと逆相入力電圧発生部2の出力端すなわちオペアンプOP1の逆相入力端子との間に、トランジスタTr3および抵抗R5の直列接続回路を設けて、基準出力電圧VOU Tが所定電圧値を下回る場合には、逆相

【0030】次に、図5を参照して、本発明の第2の実

施の形態について説明する。図5は、本発明の第2の実施の形態による基準電圧発生回路を示す回路図であり、同図において、前述の説明（図1参照）と同じまたは同等部分には同一符号を付してある。図5において、（a）は基準電圧発生回路の全体、（b）は電圧監視回路を示しており、第1の実施の形態とは、低電圧制御部4の構成が異なる。

【0031】すなわち、第1の実施の形態（図1参照）では、逆相入力電圧VIN-を正相入力電圧VIN+より上回る電位に保持する手段として、基準出力電圧VOU Tと逆相入力電圧発生部2の出力端すなわちオペアンプOP1の逆相入力端子との間に、トランジスタTr3および抵抗R5の直列接続回路を設けた場合について説明した。図5に示す第2の実施の形態では、正相入力電圧発生部2の出力端すなわちオペアンプOP1の正相入力端子と接地電位GNDとの間に、トランジスタTr4（第4のMOSトランジスタ）および電流制限用の抵抗R6の直列接続回路を設けて、逆相入力電圧VIN-を正相入力電圧VIN+より上回る電位に保持するようにしたものである。

【0032】したがって、この場合にはトランジスタTr4としてNチャンネルのMOSトランジスタが用いられる。また、電圧監視回路5からは、トランジスタTr4を駆動するための検出力DET1が、トランジスタTr51と抵抗R53との接続点から供給されている。なお、この場合の動作については、前述の説明とほぼ同様であり、ここでの説明は省略するが、前述と同等の作用効果が得られることは明白である。

【0033】また、以上の説明において、正相入力電圧発生部1および逆相入力電圧発生部2では、それぞれダイオードD1、D2およびD3、D4を、順方向に2つ直列接続した場合を例に説明したが、これに限定されるものではなく、3つ以上のダイオードを用いた場合でも本発明を適用することができ、前述と同様の作用効果が得られる。さらに、以上の説明において、ダイオード接合（pn接合）を有する素子として、ダイオードを例に説明したが、これに限定されるものではなく、等価的にダイオード接合（pn接合）を有する素子、例えばトランジスタなどの素子であってもよい。

【0034】また、以上の説明において、低電圧制御部4では、逆相入力電圧発生部2の出力端すなわちオペアンプOP1の逆相入力端子をトランジスタTr3にてプルアップするようにした場合を例に説明したが、これに限定されるものではなく、逆相入力電圧VIN-を正相入力電圧VIN+と比較して高く保持しうる接続点であれば、逆相入力電圧発生部2および正相入力電圧発生部1のいずれの接続点をプルアップしてもよい。また、このことは、第2の実施の形態において、正相入力電圧発生部1の出力端すなわちオペアンプOP1の正相入力端子をトランジスタTr4にてプルダウンする場合も同様

である。

【0035】なお、以上の説明において、接地電位GNDに対して正電圧である電源電圧VDDで動作する場合を例に説明したが、これに限定されるものではなく、前述と同様に、図6、7に示すように、接地電位GNDに対して負電圧である電源電圧VSSで動作させるようにしてもよい。図6、7は、負電源電圧VSSで動作する基準電圧発生回路を示す回路図であり、それぞれ前述の図1、3に対応する。また、図6、7において、前述の図1、3の回路部と同様の機能を有するものには、

同一符号を付してある。

【0036】図6では、基準出力電圧VO_{UT}と接地電位GNDとの差が所定値以下の場合に、低電圧制御部4から検出出力DET0が出力され、トランジスタTr₂、3がオンする。これにより、逆相入力電圧発生部2の出力すなわちオペアンプOP1の逆相入力端子VIN⁻が負電源電圧VSS側に引き下げられ、オペアンプOP1の出力によりトランジスタTr₁がオンして、基準出力電圧VO_{UT}として負電源電圧VSSとほぼ同じ電圧が出力される。

【0037】また図7では、基準出力電圧VO_{UT}と接地電位GNDとの差が所定値以下の場合、低電圧制御部4から検出出力DET1が出力され、トランジスタTr₄がオンする。これにより、正相入力電圧発生部2の出力すなわちオペアンプOP1の正相入力端子VIN⁺が接地電位側に引き下げられ、オペアンプOP1の出力によりトランジスタTr₁がオンして、基準出力電圧VO_{UT}として負電源電圧VSSとほぼ同じ電圧が出力される。

【0038】

【発明の効果】以上説明したように、本発明は、基準出力電圧と接地電位の間に設けられ、順方向バイアスにて直列接続されたn個（nは2以上の整数）ダイオード接合を有し所定の正相入力電圧および逆相入力電圧をそれぞれ出力する正相入力電圧発生部および逆相入力電圧発生部と、電源電圧と接地電位との間に設けられ、正相入力端子および逆相入力端子にそれぞれ正相入力電圧および逆相入力電圧が入力される演算増幅器を有し、この出力に基づいて所望の基準出力電圧を出力する電圧出力部とを設け、基準出力電圧が所定値を下回る場合には、基準出力電圧を電源電圧にプルアップするとともに、逆相入力電圧を正相入力電圧より高い電位に制御するようにしたものである。したがって、電源電圧立ち上がり時において基準出力電圧が所定値を下回る場合でも、電源電圧とほぼ等しい電位の基準出力電圧が出力されるものとなり、従来のように、電源電圧の立ち上げ時、単に抵抗から正相入力電圧発生部および逆相入力電圧発生部に対して電源電圧を供給するものと比較して、電源電圧の立ち上げが緩やかな場合でも、基準出力電圧が所望値に達するまで電源電圧とほぼ同じ電位で上昇する安定した出

力が得られる。

【0039】また、電圧出力部は、電源電圧と基準出力電圧との間に第1のMOSトランジスタを設けて、演算増幅器の出力に応じて動作させるようにしたので、演算増幅器の出力に応じて電源電圧から第1のMOSトランジスタを介して所望の基準出力電圧が出力されるものとなり、演算増幅器の出力段における消費電流を飛躍的に節約することができる。また、電圧出力部は、演算増幅器の出力を所望の基準出力電圧として直接出力するようにしたので、少ない回路構成部品で実現することができる。また、基準出力電圧が所定値を下回る場合、低電圧制御部にて、電源電圧と基準出力電圧との間に設けた第2のMOSトランジスタにより基準出力電圧を電源電圧にプルアップするとともに、基準出力電圧と逆相入力電圧発生部との間に設けた第3のMOSトランジスタにより逆相入力電圧を正相入力電圧より高い電位に保持するようにしたので、この保持電流が第2および第3のMOSトランジスタを介して流れるものとなり、保持電流を節約することができる。

【0040】また、基準出力電圧が所定値を下回る場合、低電圧制御部にて、電源電圧と基準出力電圧との間に設けた第2のMOSトランジスタにより基準出力電圧を電源電圧にプルアップするとともに、基準出力電圧と逆相入力電圧発生部との間に設けた第3のMOSトランジスタにより逆相入力電圧を正相入力電圧より高い電位に保持するようにしたので、正相入力電圧に比較して逆相入力電圧を確実に高く保持でき、より安定した制御が可能となる。また、基準出力電圧が所定値を下回る場合、低電圧制御部にて、電源電圧と基準出力電圧との間に設けた第2のMOSトランジスタにより基準出力電圧を電源電圧にプルアップするとともに、接地電位と正相入力電圧発生部との間に設けた第4のMOSトランジスタにより正相入力電圧を逆相入力電圧より低い電位に保持するようにしたので、電源電圧が低い場合でも、正相入力電圧に比較して逆相入力電圧を確実に高く保持でき、より安定した制御が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態による基準電圧発生回路を示す回路図である。

【図2】 本発明の第1の実施の形態による基準電圧発生回路の動作を示す信号波形図である。

【図3】 電圧出力部の他の構成例を示す回路図である。

【図4】 低電圧制御部の他の構成例を示す回路図である。

【図5】 本発明の第2の実施の形態による基準電圧発生回路の回路図である。

【図6】 負電源で動作する基準電圧発生回路を示す回路図である。

【図7】 負電源で動作する他の基準電圧発生回路を示

す回路図である。

【図 8】 従来の基準電圧発生回路を示す回路図である。

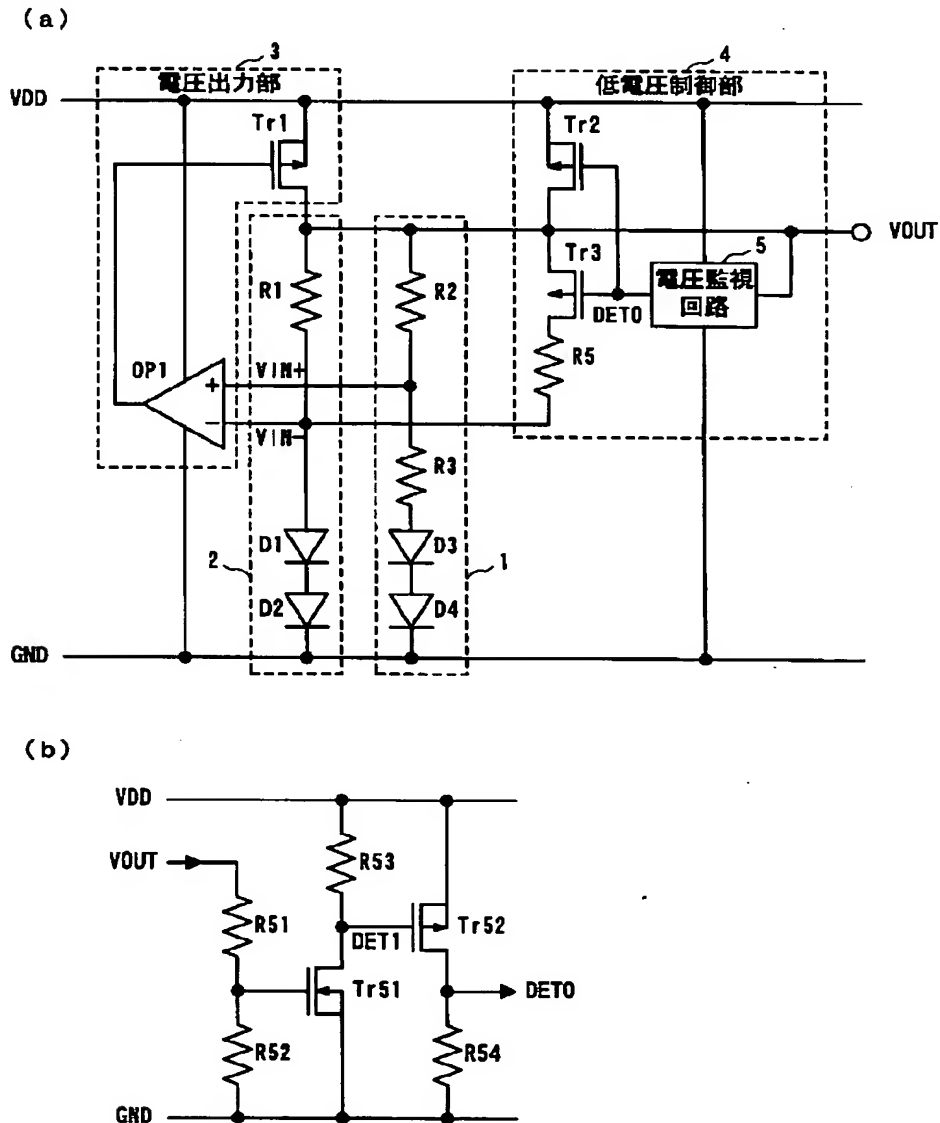
【図 9】 従来の基準電圧発生回路の動作を示す信号波形図である。

【符号の説明】

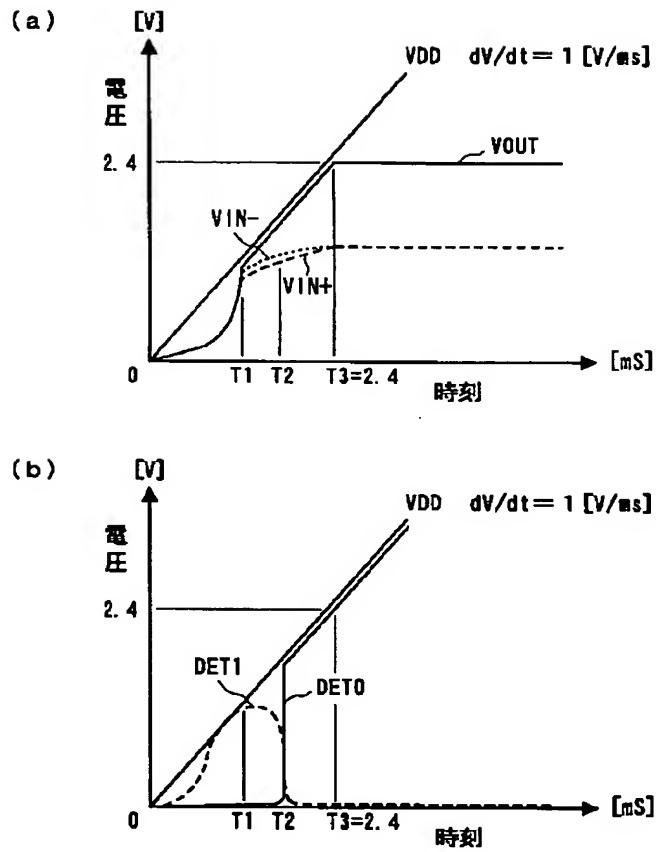
1…正相入力電圧発生部、2…逆相入力電圧発生部、3…電圧出力部、4…低電圧制御部、5…電圧監視回路、OP1…オペアンプ（演算増幅器）、Tr1…PチャンネルMOSトランジスタ（第1のMOSトランジスタ）

*タ）、Tr2…PチャンネルMOSトランジスタ（第2のMOSトランジスタ）、Tr3…PチャンネルMOSトランジスタ（第3のMOSトランジスタ）、Tr52…PチャンネルMOSトランジスタ、Tr4…NチャンネルMOSトランジスタ（第4のMOSトランジスタ）、Tr51…NチャンネルMOSトランジスタ、R0～R6、R51～R54…抵抗、VDD…電源電圧、VSS…負電源電圧、GND…接地電位、VOUT…基準出力電圧、VIN+…正相入力電圧、VIN-…逆相入力電圧、DET0、DET1…検出出力。

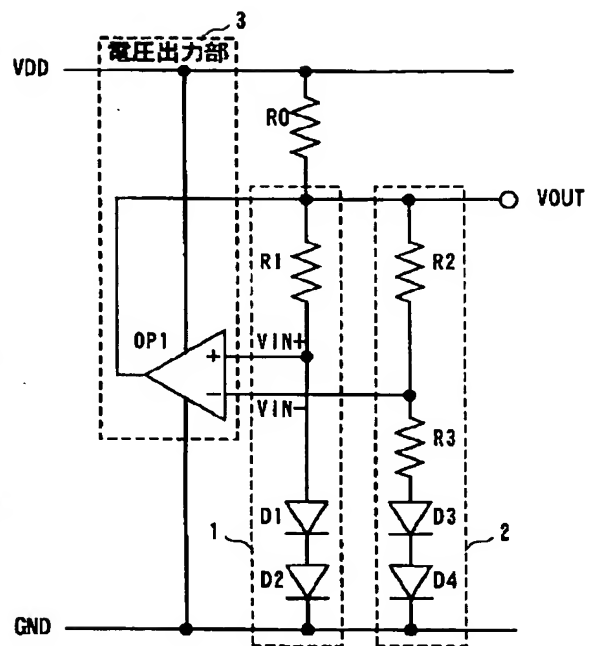
【図 1】



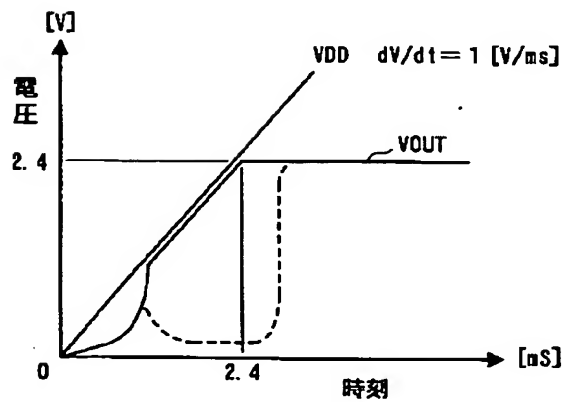
【図 2】



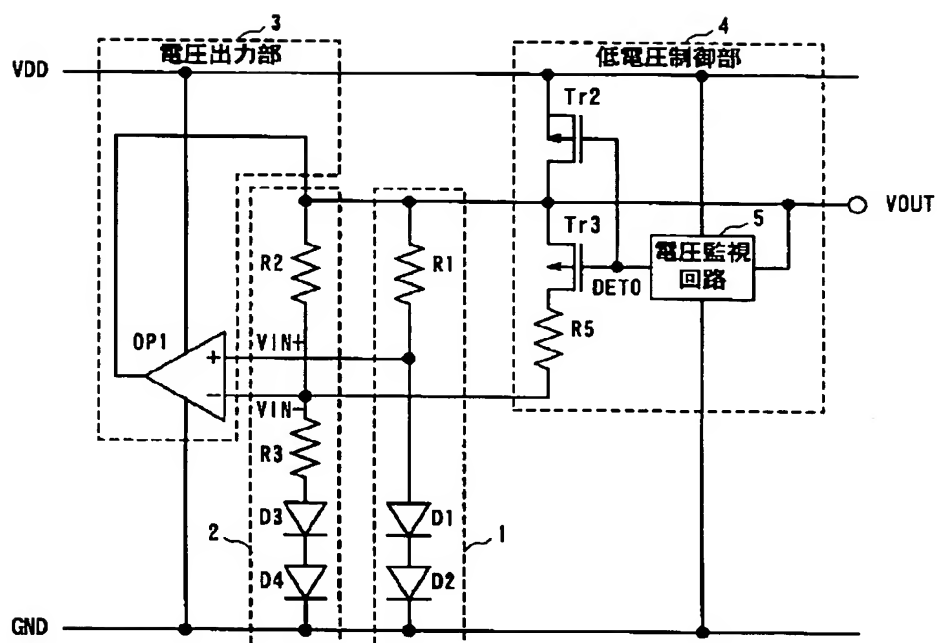
【図 8】



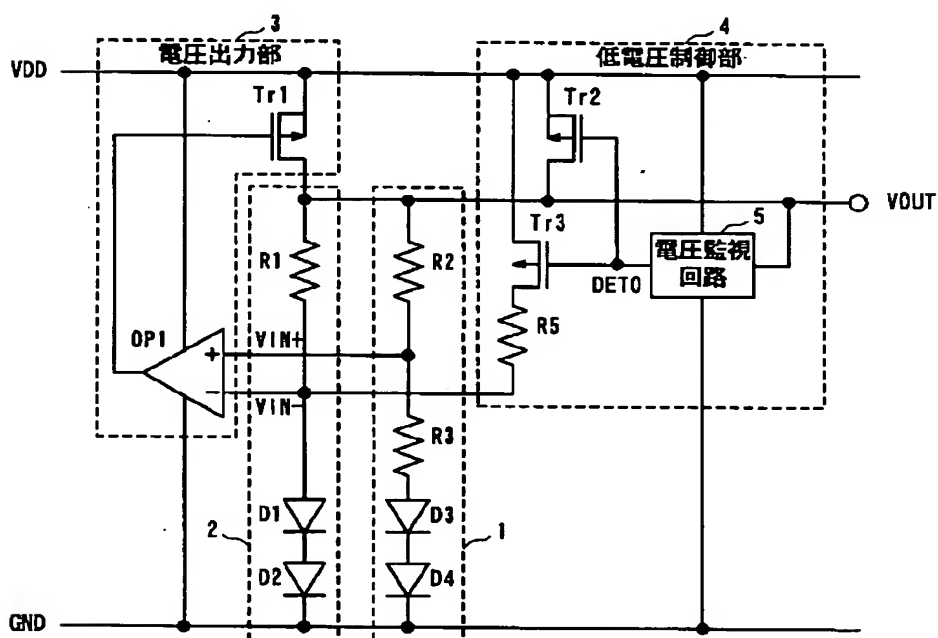
【図 9】



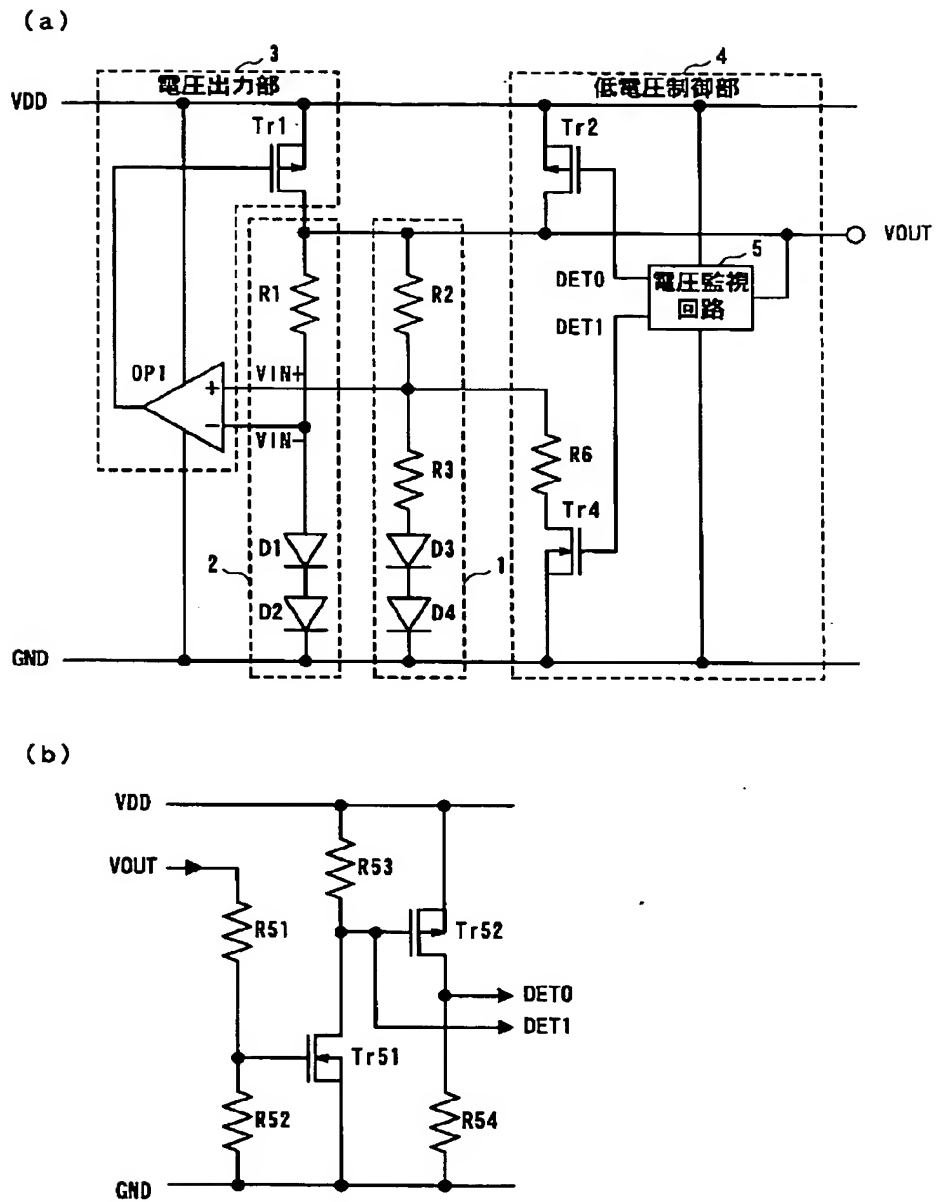
【図 3】



【図 4】

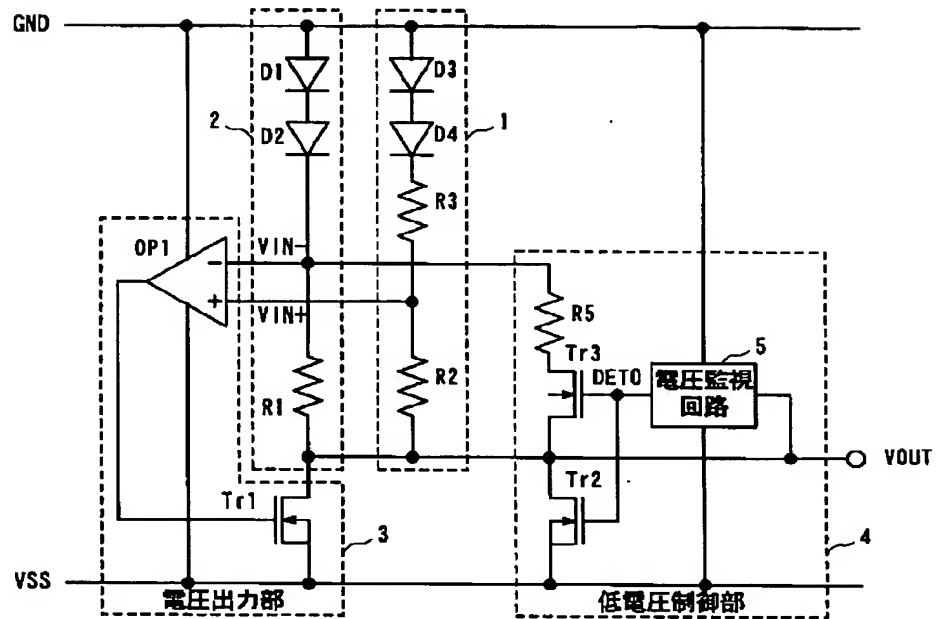


【図 5】

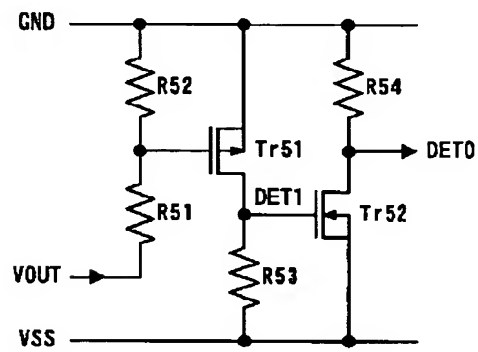


【図 6】

(a)



(b)

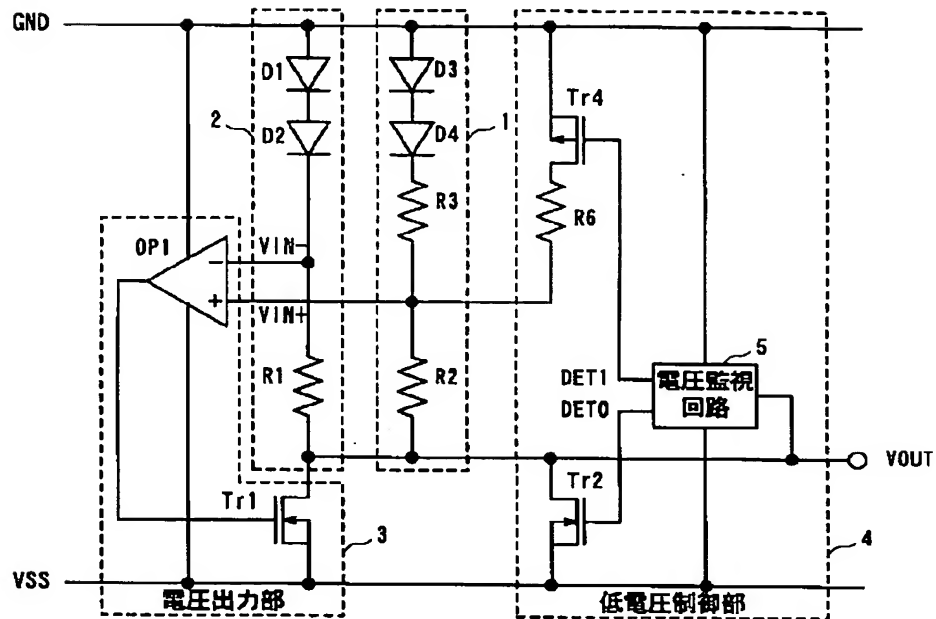


(12)

特許 3 1 8 5 6 9 8

【図 7】

(a)



(b)

